

AURIX™ TC4xx Crashkurs: 32-Bit Multicore Mikrocontroller-Familie (Aurix-3G Dritte Generation) - Live-Online-Training

Ziele - Ihr Nutzen

Sie kennen die Architektur und insbesondere die Neuerungen und Besonderheiten (Multicore-Architektur und Safety-Erweiterungen) der neuesten Generation der Bausteinfamilie AURIX™.

Nach diesem AURIX™ TC4xx Crashkurs können Sie Software-Architekturen optimal an die Hardware anpassen und somit effiziente und performante Systeme entwickeln.

Das kompakte Format erlaubt eine schnelle Umsetzung in Ihren Projekten.

IHRE VORTEILE:

Effektiver und zeitsparender Einstieg in die Gesamthematik (3-monatige Zeitersparnis nach Angabe von Kunden)

Praktische Tipps zu Multicore und Safety

Teilnehmer

Integratoren, Architekten, Entwickler, Tester, Umsteiger und Neueinsteiger in AURIX™

Voraussetzungen

Erfahrung mit Programmierung und Aufbau eines Mikroprozessor-/Mikrocontrollersystems. Kenntnisse über ältere AURIX-Generationen sind von Vorteil, aber nicht unbedingt nötig.

Live Online Training

19.10. – 21.10.2026 1.875,00 €2,5 Tage

* Preis je Teilnehmer, in Euro zzgl. USt.

Anmeldecode: L-A3GCRSH

Präsenz-Training - Deutsch

Dauer

2,5 Tage

Live-Online - Englisch

Dauer

2,5 Tage

Präsenz-Training - Englisch

Dauer

2,5 Tage

AURIX™ TC4xx Crashkurs: 32-Bit Multicore Mikrocontroller-Familie (Aurix-3G Dritte Generation) - Live-Online-Training

Inhalt

Introduction

- History
- Markets/ Applications
- Key Differentiators
- Main Building Blocks

System Architecture

- Block Diagrams
- Clustering und Accelerators
- Main CPU Subsystems
- Memory Architecture
- Buses
- Conclusions for Software Architecture

Infrastructure

- Crossbars
- Peripheral Buses
- Bridges

Virtualization

- Use Cases
- Implementation Patterns

TriCore™ CPU Subsystems

- Core Architecture
- Block Diagramm
- Pipelines
- Core Specific Function Registers
- Register Files und Context Switching
- Spezielle Instruktionen und Spinlock Beispiel
- Erweiterungen für Virtualization
- Trap System
- Memory Protection Unit (MPU)
- System Timer (STM)

Protection Mechanisms

- PROT
- Access Protection Unit (APU)

Interrupt Router

- Configuration
- Software Trigger
- Broadcasting
- External Interrupts

System Control und Management

- Clocking
- Non Maskable Interrupts (NMI)
- Reset
- External Service Request Pins (ESR)
- System Modes
- Booting

Safety Concept

- Measures
- Safety and Security Management Unit (SMU)

Security Concept

- Cybersecurity Real-Time Module (CSRM)
- Cybersecurity Satellite

Debug- und Trace-Aspekte

- New internal Architecture
- SMP vs. AMP Debug

HINWEIS: Die Aurix-3G-Kursunterlagen sind auf Englisch

HINWEIS: Für die Teilnahme am Aurix-3G-Training ist ein gültiges NDA (Non-disclosure Agreement) mit dem Bauteilhersteller erforderlich.