

## **ArmV8-R Workshop: 32-Bit Cortex® Mikrocontroller-Core für Echtzeit-Anwendungen im Automobil, in der Industrie und in eingebetteten Systemen - Live-Online-Training**

### **Ziele - Ihr Nutzen**

Sie kennen die Architektur, Besonderheiten und Vorteile der ArmV8-R (Real-Time) Kernarchitektur.

Sie verstehen es, Mikrocontroller mit entsprechenden Kernen für Ihre Zwecke auszuwählen und effizient einzusetzen.

Sie können C- und Assembler-Programme erstellen, nutzen Safety- und Security-Mechanismen und haben den perfekten Einstieg in die Entwicklung Cortex® v8-R basierter Systeme.

### **IHRE VORTEILE:**

Effektiver und zeitsparender Einstieg in die Gesamthematik

Praktische Tipps zu Multicore, Safety und Security

Übungen als Download

Kompendium als Aufbereitung und für das Nachvollziehen des Gelernten auch nach dem Training.

### **Teilnehmer**

Hardware- und Software-Architekten, Hardware- und Software-Entwickler, Testingenieure

### **Voraussetzungen**

ANSI-C Kenntnisse; Erfahrung mit Programmierung und Aufbau eines Mikroprozessor-/Mikrocontrollersystems.

## **Live Online Training**

\* Preis je Teilnehmer, in Euro zzgl. USt.

Anmeldecode: L-ARMV8R

### **Präsenz-Training - Deutsch**

<b>Termin</b>	<b>Dauer</b>
10.11. – 13.11.2026	4 Tage

### **Live-Online - Englisch**

<b>Dauer</b>
4 Tage

### **Präsenz-Training - Englisch**

<b>Termin</b>	<b>Dauer</b>
10.11. – 13.11.2026	4 Tage

## **Armv8-R Workshop: 32-Bit Cortex® Mikrocontroller-Core für Echtzeit-Anwendungen im Automobil, in der Industrie und in eingebetteten Systemen - Live-Online-Training**

### **Inhalt**

#### **Overview Armv8 Real Time Profile**

#### **Cortex® R52 Processor Architecture**

#### **Instruction Sets**

#### **Synchronization and Barriers**

- Exclusive Monitors

#### **Writing C for Arm**

#### **Exceptions and Handling**

- Exception Levels
- Interrupts and Aborts
- Interrupt Controller Architectures
- Routing and Trapping
- Nesting and Returning

#### **Timer**

- Generic Timer
- Performance Monitor Unit

#### **Internal Connectivity and Memory**

- Bus Interfaces
- Tightly Coupled Memory and Caches
- Performance Aspects

#### **Memory Protection Unit**

- Purpose and Use Cases
- Regions and Attributes

#### **Safety Aspects**

- Register Protection
- Indirect Memory Access
- Dual Core Lockstep
- ECC
- Error Reporting

#### **Debug and Tracing**

#### **Virtualization**

- Use Cases
- Hypervisor
- Temporal and Spatial Separation
- Identification
- Asynchronous Stimuli

#### **Exercises**

**HINWEIS: Die Kursunterlagen sind auf Englisch**